



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per **Invenzione Industriale**

N. RM2003 A 000338



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

**10 FEB. 2004**

Roma, li .....

*fu* IL DIRIGENTE

*Paola Giuliano*  
.....  
**D.ssa Paola Giuliano**

# AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO A



## A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc. codice \_\_\_\_\_  
 Residenza Boise, Idaho (U.S.A.)  
 2) Denominazione \_\_\_\_\_ codice \_\_\_\_\_  
 Residenza \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_  
 classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

Circuito di generazione e regolazione di alta tensione in un dispositivo di memoria.

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_ / \_\_\_\_\_ / \_\_\_\_\_

N. PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI cognome nome

1) MACEROLA Agostino A. 3) \_\_\_\_\_  
 2) \_\_\_\_\_ 4) \_\_\_\_\_

## F. PRIORITA'

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R	SCIOGLIMENTO RISERVE Data N° Protocollo
1) _____	_____	_____	____/____/____	_____	____/____/____ / _____
2) _____	_____	_____	____/____/____	_____	____/____/____ / _____

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)

Lettera d'incarico segue

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc.	N. es.	PROV	n. pag.	contenuto
Doc. 1)	1	PROV	41	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2)	1	PROV	06	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	0	RIS		lettera d'incarico
Doc. 4)	0	RIS		designazione inventore
Doc. 5)	0	RIS		documenti di priorità con traduzione in italiano
Doc. 6)	0	RIS		autorizzazione o atto di cessione
Doc. 7)	0			nominativo completo del richiedente

8) attestati di versamento, totale Euro duecentonovantuno/80

obbligatorio

COMPILATO IL 11 / 07 / 2003

FIRMA DEL (I) RICHIEDENTE (I) \_\_\_\_\_

CONTINUA (SI/NO) NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI \_\_\_\_\_

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

**RM 2003 A 000338**

Reg. A

L'anno duemilatre, il giorno undici

del mese di luglio

Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

## ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

\_\_\_\_\_



L'UFFICIALE ROGANTE

Ufficiale Rogante  
Elvia Alderi

RM 2003 A 000338

SIB BI3403R

400.238ITO1

Descrizione dell'invenzione industriale dal titolo:  
"CIRCUITO DI GENERAZIONE E REGOLAZIONE DI ALTA  
TENSIONE IN UN DISPOSITIVO DI MEMORIA"

a nome di Micron Technology, Inc.

(Società dello Stato del Delaware)

di Boise, Idaho (U.S.A.)

\_\_\_\_\_. . . . \_\_\_\_\_.  
DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione si riferisce genericamente a dispositivi di memoria ed in particolare la presente invenzione si riferisce alla gestione di tensione in dispositivi di memoria.

BASE TECNICA DELL'INVENZIONE

I dispositivi di memoria flash si sono sviluppati in una sorgente comune di memoria non volatile per una ampia gamma di applicazioni elettroniche. I dispositivi di memoria flash tipicamente impiegano una cella di memoria ad un solo transistor che consente elevate densità di memoria, alta affidabilità, e basso consumo di energia elettrica. Impieghi comuni per memorie



S.I.B.  
ROMA

flash includono calcolatori portatili, assistenti digitali personali (PDA), telecamere digitali, e telefoni cellulari. Codici di programma, dati di sistema quali un sistema basico di ingresso/uscita (BIOS) e altro firmware possono tipicamente essere memorizzati in dispositivi di memoria flash. La maggior parte dei dispositivi elettronici sono progettati con un singolo dispositivo di memoria flash.

Alfine di aumentare la densità di memoria di memoria flash pur rendendole più piccole, il silicio viene cambiato di scala. In associazione con un cambiamento di scala di lunghezza minima vi è una riduzione dello spessore dell'ossido e le giunzioni divengono meno graduate. Ciò dà origine ad una diminuzione della tensione massima che è tollerata tra i terminali dei transistori. Per esempio, la elevata tensione tra drain e sorgente ( $V_{bs}$ ) potrebbe superare il limite di rottura del transistor, portando alla fine alla avaria del transistor.

Si presenta un problema aggiuntivo quando la tensione tra gate e sorgente  $V_{gs}$  va a valore alto mentre  $V_{ds}$  ha un valore elevato. Questa condizione è identificata nella tecnica come "snapback". Il

livello elevato di corrente associato con questo fenomeno può danneggiare il dispositivo e/o diminuire la sua vita utile.

I dispositivi di memoria flash richiedono una elevata tensione negativa per cancellare le celle di memoria. La tensione negativa è generata e regolata da una pompa interna ad alta tensione collegata a circuiteria di controllo per controllare l'uscita dell'alta tensione.

La figura 1 illustra uno schema a blocchi di un circuito tipico della tecnica precedente per generare una tensione elevata negativa di cancellazione. Questo circuito è collegato alle linee di parola della schiera di memoria che sono modellate in questo caso da un condensatore 101. REFN e REFH sono valori analogici che sono impiegati per assegnare i valori di tensione bersaglio alle barre collettrici  $V_{NEG}$  e  $V_{HV}$ , rispettivamente. SELECT fa passare le tensioni elevate al settore o settori che devono essere cancellati. ENABLE attiva l'impulso di cancellazione.

Il sistema della tecnica precedente può avere quattro fasi diverse che sono selezionate dal segnale ENABLE ed i valori  $V_{NEG}$  e  $V_{HV}$ . Queste fasi

sono lo stato di disinserito, la fase a rampa, la fase ad impulso, e la fase di scarica.

Lo stato disinserzione si presenta quando  $ENABLE = 0$ ,  $V_{NEG}$  e  $V_{HV}$  sono cortocircuitati a massa dai percorsi di scarica 103 e 104. La fase a rampa viene selezionatas quando  $ENABLE = 1$ ,  $V_{NEG}$  e  $V_{HV}$  sono sotto i loro valori bersaglio. Le pompe del negativo e di HV 107 e 108 sono attivate durante questa fase. La fase ad impulso è selezionata quando  $ENABLE = 1$ ,  $V_{NEG}$  e  $V_{HV}$  alle loro tensioni bersaglio. Le pompe 107 e 108 del negativo e di HV sono disinserite durante questa fase. La fase di scarica è selezionata quando  $ENABLE = 0$ ,  $V_{NEG}$  e  $V_{HV}$  sono scaricate a massa; ciascuno rispettivamente attraverso il suo proprio percorso 104 e 103.

Il circuito illustrato nella figura 1 può provocare problemi di "snapback" che aumentano le sollecitazioni che alcuni transistori subiscono durante la loro condizione di disinserzione. Ciò diminuisce la affidabilità dei transistori nel dispositivo di memoria. Per le ragioni sopra menzionate, e per altre ragioni che verranno esposte in seguito che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, esiste una

necessità nella tecnica per un circuito di gestione di alta tensione per migliorare la affidabilità dei transistori del dispositivo di memoria.

#### SOMMARIO

I problemi sopra menzionati con la gestione della tensione di cancellazione elevata in un dispositivo di memoria ed altri problemi sono oggetto della presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Un circuito di generazione e regolazione di alta tensione ha una molteplicità di fasi operative. Il circuito può essere impiegato in una operazione di cancellazione di dispositivo di memoria per aumentare la affidabilità dei componenti del circuito di cancellazione.

Il circuito possiede una pompa di alta tensione positiva che genera un segnale di tensione elevata positiva per l'impiego nella operazione di cancellazione del dispositivo di memoria. Una pompa di tensione elevata negativa genera un segnale di alta tensione negativa per l'impiego nella operazione di cancellazione. Un generatore di tensione ausiliaria genera un segnale di controllo per controllare la velocità di scarica del segnale



di tensione elevata negativa. Il generatore di tensione ausiliaria genera anche una tensione ausiliaria che è impiegata da uno spostatore di livello negativo per impedire la sollecitazione tra drain e sorgente di transistori che costituiscono lo spostatore di livello.

Ulteriori forme di realizzazione dell'invenzione includono metodi ed apparecchi di ambito variabile.

#### BREVE DESCRIZIONE DEI DISEGNI

La figura 1 mostra uno schema a blocchi di un tipico circuito di generazione e regolazione di tensione elevata della tecnica anteriore.

La figura 2 mostra uno schema a blocchi di una forma di realizzazione di un circuito di generazione e regolazione di alta tensione della presente invenzione.

La figura 3 mostra uno schema di una forma di realizzazione di un circuito di generazione di tensione ausiliaria secondo la forma di realizzazione d figura 2.

La figura 4 mostra una forma d'onda di  $V_{AUX}$  in riferimento a  $V_{NEG}$  secondo una forma di realizzazione della presente invenzione.

La figura 5 mostra uno schema semplificato di



un percorso di scarica secondo una forma di realizzazione della presente invenzione.

La figura 6 mostra uno schema a blocchi di una forma di realizzazione di un sistema di memoria che include un dispositivo a memoria flash della presente invenzione.

La figura 7 mostra una forma di realizzazione della tabella logica di blocco di controllo di scarica della presente invenzione.

#### DESCRIZIONE PARTICOLAREGGIATA

Nella seguente descrizione particolareggiata dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui sono mostrate, a titolo di illustrazione, forme di realizzazione specifiche secondo le quali può essere realizzata in pratica l'invenzione. Nei disegni, numeri simili descrivono componenti sostanzialmente simili nelle varie viste. Queste forme di realizzazione sono descritte in dettaglio sufficiente a consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione. Altre forme di realizzazione possono essere utilizzate, e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione.

La seguente descrizione particolareggiata quindi, non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

La figura 2 illustra uno schema a blocchi di una prima forma di realizzazione per un circuito 200 di generazione e regolazione di alta tensione secondo la presente invenzione. Questo circuito 200 include un generatore 240 di tensione ausiliaria ( $V_{AUX}$ ) per generare una tensione negativa ausiliaria intermedia che viene impiegata per gestire meglio le tensioni del circuito e quindi evitare danni ai transistori nel circuito 200 di generazione e regolazione di alta tensione. Il generatore 240 di tensione ausiliaria genera anche un segnale di controllo di rapidità di scarica che seleziona una velocità di scarica per almeno uno dei percorsi di scarica.

Il generatore 240 di  $V_{AUX}$  possiede un singolo ingresso,  $ENABLE^*$ , e due uscite:  $V_{AUX}$  e il segnale logico DISCHARGE FAST. Il segnale  $ENABLE^*$  è fornito invertendo in 216 il segnale  $ENABLE$ . Impiegando il generatore 240 di  $V_{AUX}$ , il circuito può effettuare cinque fasi per una migliore gestione di tensione:

uno stato di off, una fase a rampa uno stato ad impulsi, una fase a scarica lenta, ed una fase a scarica rapida. Una descrizione più particolareggiata del generatore 240 di  $V_{AUX}$  viene fornita in quanto segue facendo riferimento alla figura 3.

Una pompa 204 di tensione negativa è un moltiplicatore di tensione negativa. Quando la pompa 204 di tensione negativa viene attivata, questa assorbe una carica dal nodo 205  $V_{NEG}$  quindi forzando una tensione più bassa su quel nodo 205 rispetto al potenziale di massa. La pompa 204 di tensione negativa non può provocare una  $V_{NEG}$  che sale in modo che questa tensione rimanga dopo che la pompa 204 viene disinserita.

Una pompa 206 di alta tensione (HV) è un moltiplicatore di tensione positiva. Quando questa pompa 206 viene attivata, questa produce una carica sul nodo  $V_{HV}$  207 che è maggiore della tensione di alimentazione ( $V_{CC}$ ). La pompa 206 HV non può scaricare  $V_{HV}$  quando è disinserita per cui la tensione su questo nodo 207 viene mantenuta dopo che è disinserita la pompa 206 HV.

In una prima forma di realizzazione, la pompa 204 di tensione negativa genera -9 V, mentre



la pompa 206 HV genera +9V. I -9 V sono applicati, attraverso il decodificatore 215 di riga, al gate delle celle di memoria. La +9 V viene applicata attraverso un selettore di settore, al substrato delle celle di memoria. Le due tensioni assieme sulle linee di parola 230 creano quindi i -18 V richiesti per cancellare la memoria flash. Altre forme di realizzazione impiegano altre tensioni come richiesto dalla forma di realizzazione della memoria.

Lo schema a blocchi di figura 2 è stato semplificato per scopi di chiarezza. Tutte le linee di parola 230 della schiera di memoria sono state combinate in una capacità 230 che modella le connessioni combinate.

I blocchi 208 e 209 di on/off attivano le loro rispettive pompe di tensione 206 e 204 quando viene asserito ENABLE ed il valore assoluto delle tensioni di uscita  $V_{HV}$  e  $V_{NEG}$  sono più basse delle tensioni di ingresso REFH e REFN rispettivamente. Come è ben noto nella tecnica, REFH e REFN sono le tensioni di cancellazione bersaglio.

I percorsi di scarico 201 e 203 forniscono un percorso di scarica a massa per le loro rispettive pompe di carica 204 e 206. Questi

percorsi 201 e 203 sono abilitati quando viene asserito EBABLE. Durante il tempo in cui sono disabilitati i percorsi di scarica 201 e 203, i loro rispettivi nodi di alta tensione 201 e 207 rimangono a  $V_{NEG}$  e  $V_{HV}$ .

Un blocco 2207 di controllo di scarica (DC) abilita un percorso di scarica lento o veloce per la tensione  $V_{HV}$ . La scelta dei percorsi di scarica viene effettuata dal segnale DISCHARGE FAST, dal generatore VAUX, quando ENABLE è al livello logico basso. Quando DISCHARGE FAST è a livello logico alto (e ENABLE = 0), viene scelto il percorso di scarica veloce HV. Quando DISCHARGE FAST è a livello logico basso (e ENABLE = 0), viene scelto il percorso di scarica lento HV e  $V_{NEG}$  viene scaricata da  $V_{AUX}$ . Quando ENABLE è un livello logico alto, il blocco 207 DC viene disabilitato. La figura 7 illustra una tabella logica del blocco DC che riassume le uscite che risultano dai vari stadi dei segnali ENABLE e DISCHARGE FAST. Forme di realizzazione alternative impiegano altri livelli logici per scegliere tra i percorsi di scarica.

Uno spostatore 213 di livello negativo trasla un segnale logico (SELECT) che oscilla tra 0 e  $V_{CC}$  ad un segnale ad alta tensione che oscilla

tra  $V_{NEG}$  e  $V_{CC}$ . Quando select è a livello logico 0, lo spostatore di livello 213 pone in uscita la tensione negativa  $V_{NEG}$ . Quando SELECT è a livello logico 1, lo spostatore di livello pone in uscita  $V_{CC}$ .  $V_{AUX}$  è immesso nello spostatore di livello per impedire sollecitazione da drain e sorgente nella circuiteria interna dello spostatore 213 di livello negativo.

Il blocco 211 a commutatore NMOS è un commutatore NMOS isolato che fornisce la tensione negativa  $V_{NEG}$  al codificatore 215 di riga se il gate NMOS è pilotato a potenziale di massa. Quando SELECYT è a livello logico 0 e lo spostatore di livello 213 pone in uscita  $V_{NEG}$ , il commutatore NMOS viene disinserito.

Il decodificatore 215 di riga è il pilota per le linee di parola del settore. Il decodificatore 215 diriga è illustrato in figura 2 ed è semplificato per mostrare che quando  $V_{NEG}$  raggiunge il decodificatore 215 di riga, tutte le linee di parole sono legate a  $V_{NEG}$ .

Il selettore 210 di settore seleziona il settore di memoria che deve essere cancellato. Il segnale SELECT determina il settore al quale viene applicato il segnale  $V_{HV}$ .

Il segnale SELECT che è immesso sia allo spostatore 213 di livello negativo e al selettore 210 di settore viene generato dall'ingresso degli indirizzi di memoria verso il dispositivo di memoria di cui il circuito di controllo di tensione negativa fa parte. Quando un blocco di memoria deve essere cancellato, impiegando le tensioni negative elevate generate dal circuito di controllo di tensione negativa, l'indirizzo del blocco di memoria viene asserito durante il comando dell'utilizzatore per la cancellazione è agganciato durante l'intera operazione di cancellazione. Il segnale SELECT viene quindi generato da questo indirizzo agganciato.

Le cinque fasi operative di questo circuito di generazione e regolazione di alta tensione della presente invenzione sono fornite dal segnale ENABLE e dai segnali  $V_{NEG}$  e  $V_{HV}$ . Lo stato di disinserito viene abilitato quando  $ENABLE = 0$  e  $V_{NEG}$  e  $V_{HV}$  sono corto circuitati a massa dai loro rispettivi percorsi di scarica 201 e 203.

La fase a rampa viene abilitata quando  $ENABLE = 1$  e  $V_{NEG}$  e  $V_{HV}$  sono sotto i loro valori bersagli rispettivamente di  $-9\text{ V}$  e  $+9\text{ V}$ . Le pompe 204 e 206 del negativo e di HV sono attivate e  $V_{AUX}$



viene caricata ad un valore negativo mediante  $V_{NEG}$ . La fase a rampa è responsabile per generare le richieste tensioni bersaglio per effettuare l'operazione di cancellazione.

Lo stato impulsivo viene abilitato quando  $ENABLE = 1$  e  $V_{NEG}$  e  $V_{HV}$  sono ai loro valori bersaglio rispettivamente di  $-9\text{ V}$  e  $+9\text{ V}$ . In questo caso, le loro rispettive pompe 204 e 026 sono disinserite.  $V_{AUX}$  ha raggiunto il suo valore bersaglio di  $V_{NEG} + n \cdot V_t$  dove  $n$  è il numero di transistori isolati NMOS nella catena e  $V_t$  è la tensione di soglia di ciascun singolo transistor. Durante questa fase, sono generati gli impulsi di cancellazione verso le celle di memoria flash.

La fase di scarica di lenta viene abilitata quando  $ENABLE = 0$  e  $DISCHARGE\ FAST = 0$ . In questa fase,  $V_{NEG}$  viene scaricata da  $V_{AUX}$  e la barra collettore HV viene lentamente scaricata attraverso il suo percorso di scarica 203.

La fase di scarica rapida viene abilitata quando  $ENABLE = 0$  e  $V_{NEG}$  e  $V_{HV}$  sono ciascuna scaricate a massa attraverso i loro rispettivi percorsi di scarica 201 e 203.

La figura 3 illustra uno schema di una prima forma di realizzazione del circuito  $V_{AUX}$  di figura



2. Questo circuito include una catena 317 di transistori NMOS isolati che sono collegati come diodi. Questi transistori sono identificati come  $n_1, n_2, \dots, n_n$ . Il transistore finale nella catena 317,  $n_n$  è accoppiato a  $V_{NEG}$  come illustrato in figura 2.

Il circuito include inoltre tre transistori di tipo p di abilitazione 301, 305 e 307. Il transistore accoppiato al ENABLE è un transistore a bassa tensione, mentre gli altri due transistori 305 e 307 sono transistori per alta tensione.

I due transistori per alta tensione di tipo p di isolamento 303 e 325 sono accoppiati assieme su NODE1. Uno dei transistori 325 per alta tensione è accoppiato alla uscita DISCHARGE FAST attraverso logica di controllo di uscita. Questa logica, in una forma di realizzazione, è costituita da un invertitore 309 realizzato impiegando transistori per alta tensione, un invertitore 311, una porta NAND 312 avente un secondo ingresso accoppiato a ENABLE\*, ed un altro invertitore 313. Un condensatore 315 di filtro accoppia il transistore per alta tensione a  $V_{CC}$ .

Gli elementi circuitali sopra descritti del circuito  $V_{AUX}$  della presente invenzione sono

utilizzati in modo diverso per le varie fasi della presente invenzione. Il funzionamento del circuito  $V_{AUX}$  per ciascuna fase viene descritto in quanto segue.

Durante lo Off State, ENABLE è a livello logico basso e il transistor 301 di tipo p a bassa tensione è in zona attiva. Ciò attiva i due transistori 303 e 325 di tipo p isolanti. Il segnale DISCHARGE FAST è a livello logico alto, e  $V_{NEG} = 0V$ .  $V_{AUX}$  è cortocircuitato a  $V_{CC}$  dal transistor 307.

Durante la fase a rampa, ENABLE è a livello logico alto. Il segnale DISCHARGE FAST va a livello logico basso e, conseguentemente, i due transistori 305 e 307 di abilitazione ad alta tensione sono disattivati. Dato che il transistor 301 è disattivato, i nodi NODE1 e  $V_{AUX}$  sono flottanti. Il condensatore 315 di filtro mantiene NODE1 e  $V_{AUX}$  a  $V_{CC}$ .  $V_{NEG}$ , l'uscita dalla pompa negativa, comincia ad andare a negativo durante questa fase.

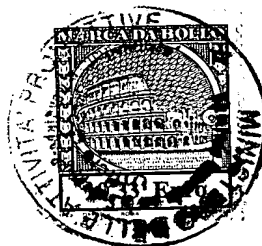
Quando  $V_{NEG}$  raggiunge un valore negativo uguale a  $n \cdot V_t$ , la catena 317 di transistori isolati NMOS inizia a lasciare passare corrente. Da questo punto, NODE1 segue  $V_{NEG}$  con una tensione uguale a  $V_{NEG} + n \cdot V_t$ . SI deve notare che il transistor 325 è

attivo per cui  $V_{AUX}$  segue NODE1 con un piccolo ritardo dovuto al circuito RC rappresentato dalla resistenza di ON del transistor 325 e condensatore 315.

Durante la fase ad impulso, quando  $V_{NEG}$  raggiunge il suo valore bersaglio, la pompa negativa si arresta. Ad esempio, se il valore bersaglio di  $V_{NEG}$  fosse  $-9$  V,  $n=5$ , e  $V_t$   $0,8$  V, il valore bersaglio per  $V_{AUX}$  è  $-9 + 5 \cdot (0,8) = -5$  V.

Durante la fase di scarica lenta, ENABLE ritorna a livello logico basso per abilitare il transistor 301. Dato che  $V_{AUX} < V_{t\_inv1}$  (la soglia di commutazione dell'invertitore 309 ad alta tensione), il segnale DISCHARGE FAST rimane a livello logico basso. La sorgente del transistor 301 va a  $V_{CC}$  attivando il transistor 303. La tensione su NODE1 quindi inizia a salire. Attraverso NODE1, i nodi  $V_{NEG}$  e  $V_{AUX}$  sono lentamente scaricati. Il circuito RC formato dal condensatore 115 di filtro e dal transistor 325 ritarda la salita di  $V_{AUX}$  rispetto a NODE1.

Quando la catena 317 di transistori NMOS isolati scarica il nodo  $V_{NEG}$  ad alta capacità, la loro  $V_{GS}$  è svariata centinaia di millivolt maggiore della tensione di soglia  $V_t$ . Scegliendo la



lunghezza della catena 317 di transistori NMOS isolati, la resistenza de transistore 325, e la capacità del condensatore 315, è possibile aggiungere il valore di  $V_{NEG}$  in modo che questo corrisponda alla commutazione di INV!.

Si deve notare che il condensatore 315 è in parte dovuto al carico rappresentato dagli spostatori di livello del negativo ed in parte ad una capacità aggiunta. La capacità  $V_{NEG}$  è molto grande rispetto al condensatore 315 di filtro. Ciò spiega perché, quando  $V_{NEG}$  sta facendo una rampa in discesa, la corrente richiesta per la rampa in discesa  $V_{AUX}$  è limitata. Altrimenti, quando  $V_{NEG}$  viene scaricato, la corrente richiesta è più elevata e la  $V_{GS}$  dei transistori nella catena 317 aumenta.

Durante la fase di scarica rapida, la commutazione di INV1 forza il segnale DISCHARGE FAST a livello logico alto e la scarica diviene sufficientemente veloce attraverso i percorsi normali.  $V_{NEG}$  è ora sufficientemente bassa per evitare "snapback" nel transistore di scarica. In questa fase, i transistori PMOS 305 e 307 sono attivi e  $V_{AUX}$  ritorna a  $V_{CC}$  al fine di garantire la richiesta separazione di tensione rispetto a  $V_{NEG}$ ,

come discusso precedentemente.

Un transistorore più influenzato dai problemi di "snapback" è il percorso 201 di scarica negativa di figura 2. Nella tecnica precedente, all'inizio di questa fase di scarica, il transistorore era portato in zona attiva mentre il valore assoluto della sua  $V_{ds}$  era approssimativamente di 9V. Nella presente invenzione,  $V_{NEG}$  viene pre-scaricato durante la fase di scarica lenta fin quando  $V_{ds}$  è sufficientemente bassa per impedire snapback. Il percorso sicuro di pre-scarica è la catena di transistori 317 NMOS come sopra descritto.

La figura 4 illustra un tracciato grafico di  $V_{AUX}$  sotto secondo le forme di realizzazione delle figure 2 e 3. Questo grafico mostra  $V_{AUX}$  in riferimento a  $V_{NEG}$  per le cinque fasi operative della presente invenzione. Il tempo è lungo l'asse x del tracciato ed i livelli di tensione sono sull'asse y.

Questo tracciato mostra che durante la fase di scarica lenta, il segnale  $V_{NEG}$  scarica ad un tasso più lento di  $V_{AUX}$ .  $V_{NEG}$  scarica ad un tasso sostanzialmente più rapido durante la fase di scarica rapida.

In una forma di realizzazione,  $V_{AUX} \geq V_{NEG} +$

$V_{CC}$  durante tutte le fasi e  $-5\text{ V} < V_{AUX} < -3\text{V}$  durante la fase ad impulso. Il circuito di generazione e regolazione di alta tensione della presente invenzione, quando ENABLE è basso,  $V_{AUX}$  è unito a  $V_{CC}$  come descritto precedentemente. Quando ENABLE va a livello alto,  $V_{AUX}$  viene scaricato da  $V_{NEG}$  (pilotato dalla pompa negativa di figura 2) dalla catena di transistori NMOS isolati di figura 3. Il valore bersaglio di  $V_{NEG}$ , come illustrato in questa forma d'onda, è eguale a  $V_{NEG} + n \cdot V_t$ .

La figura 5 illustra uno schema semplificato di una prima forma di realizzazione del percorso 203 di scarica HV della presente invenzione. Questo percorso di scarica 203 è accoppiato al blocco DC 207 di figura 2 e determina il tasso di scarica di VHV in risposta al segnale di abilitazione e al segnale DISCHARGE FAST.

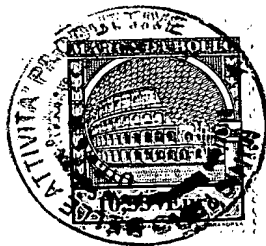
Il percorso di scarica 203 è costituito da tre transistori 501-503. Le etichette "LARGE" e "SMALL" si riferiscono alle larghezze dei transistori 501 e 502, e quindi, alla capacità di scaricare il segnale  $V_{HV}$  in modo veloce oppure lento.

Il terzo transistorore 503 è un transistorore di protezione. Il transistorore di protezione protegge

il transistorore 502 di scarica lenta contro lo snapback. Il transistorore 503 di protezione è un NMOS in cascata che agisce come un resistore serie. La scarica veloce della alta tensione inizia quando la  $V_{ds}$  del transistorore 501 di scarica si trova sotto il valore pericoloso che potrebbe attivare lo snapback.

L'ingresso del circuito del percorso di scarica è il segnale  $V_{HV}$  dalla pompa di tensione elevata positiva. Questo segnale passa attraverso il transistorore 501 ed il percorso o percorsi 502 fino a massa, a seconda del tasso di scarica scelto dai segnali ENABLE e DISCHARGE FAST. Facendo riferimento anche alla figura 7, se ENABLE è basso, e DISCHARGE FAST è basso, S è alto e il transistorore 502 più piccolo viene attivato per cui  $V_{HV}$  viene cortocircuitato a massa attraverso quel transistorore 502. Se ENABLE è basso e DISCHARGE FAST è alto, F e S sono ambedue alti, attivando ambedue i transistori 501 e 502. Il segnale  $V_{HV}$  è quindi cortocircuitato a massa attraverso ambedue i transistori 501 e 502, aumentando grandemente il tasso di scarica. Quando ENABLE è alto, il blocco DC è disabilitato.

La figura 6 illustra un blocco funzionale di



un dispositivo di memoria 600 di una forma di realizzazione della presente invenzione che è accoppiato ad un circuito di controllo 610. Il circuito di controllo 610 può essere un microprocessore, un processore, od un qualche altro tipo di circuiteria di controllo. Il dispositivo di memoria 600 ed il controller 610 fanno parte di un sistema elettronico 620. Il dispositivo 600 di memoria è stato semplificato per focalizzare le caratteristiche della memoria che sono utili nella comprensione della presente invenzione.

Il dispositivo di memoria include una schiera di celle 630 di memoria. Le celle di memoria sono celle di memoria a gate flottante non volatili e la schiera 630 di memoria è disposta in banchi di righe e colonne.

Un circuito 640 di buffer di indirizzo è disposto per agganciare segnali di indirizzo forniti sui collegamenti di ingresso di indirizzo A0-Ax 642. I segnali di indirizzo sono ricevuti e decodificati da un decodificatore di riga 644 e da un decodificatore di colonna 646 per accedere alla schiera di memoria 630. Si comprenderà da parte di coloro che sono esperti nel ramo, con l'aiuto della presente descrizione, che il numero di collegamenti



di ingresso di indirizzo dipende dalla densità e da architettura della schiera 630 di memoria. Cioè, il numero degli indirizzi aumenta sia con l'aumentato conteggio delle celle di memoria e i conteggi aumentati di banchi e blocchi.

Il dispositivo 600 di memoria legge dati nella schiera 630 di memoria rilevando variazioni di tensione o corrente nelle colonne della schiera di memoria impiegando la circuiteria 650 di rilevazione/aggancio. La circuiteria di rilevazione/aggancio, in una prima forma di realizzazione, è accoppiata per leggere ed agganciare una riga di dati dalla schiera 630 di memoria. La circuiteria 660 di buffer di ingresso ed uscita di dati è inclusa per la comunicazione bidirezionale di dati su una molteplicità di collegamenti 662 di dati con il controller 610. La circuiteria 655 di scrittura è disposta per scrivere dati nella schiera di memoria.

La circuiteria 670 di controllo decodifica segnali forniti sul collegamento 672 di controllo dall'elaboratore 610. Questi segnali sono impiegati per controllare operazioni della schiera di memoria 630, incluse le operazioni di lettura dati, scrittura dati, e cancellazione. In una forma di

realizzazione, la circuiteria 670 di controllo esegue i metodi della presente invenzione.

La circuiteria 625 di generazione di selezione di chip genera segnali di selezione di chip per il dispositivo 600 di memoria. Questa circuiteria 625 impiega il collegamento 642 di indirizzo dalla unità di controllo 610 per fornire l'appropriato segnale di selezione di chip a seconda dell'indirizzo presente sui collegamenti 642 di indirizzo.

Il circuito 200 di generazione e regolazione di alta tensione della presente invenzione è incorporato nel dispositivo di memoria flash. Per scopi di chiarezza, le interconnessioni nei vari blocchi della figura 6 non sono illustrate ma sono descritte in dettaglio facendo riferimento alle figure 2 e 3 precedenti.

Il dispositivo di memoria flash illustrato nella figura 6 è stato semplificato per facilitare la comprensione basica delle caratteristiche della memoria. Una comprensione più particolareggiata della circuiteria interna e le funzioni delle memorie flash sono note a coloro che sono esperti nel ramo.

### CONCLUSIONE

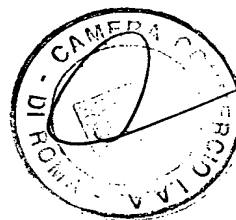
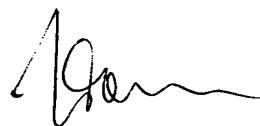
Riassumendo, il circuito di generazione e regolazione di alta tensione della presente invenzione aumenta la affidabilità dei circuito di controllo di tensione negativa e gli spostatori di livello negativi in un dispositivo di memoria. Il circuito genera una tensione intermedia, ausiliaria, per effettuare una fase a scarica lenta impiegando transistori isolati NMOS che forniscono un certo grado di variazione di scala di tensione. La fase a scarica lenta genera un segnale logico (DISCHARGE FAST) che viene impiegato da altri componenti ad alta tensione per evitare sovraelongazioni sulle barre collettrici ad alta tensione riducendo le sollecitazioni dei transistori durante la loro condizione di off.

Le forme di realizzazioni della presente invenzione non sono limitate ad un qualsiasi tipo di tecnologia di memoria. Ad esempio, i circuiti ed i metodi della presente invenzione possono essere realizzati in un dispositivo di memoria flash del tipo NOR oppure un dispositivo di memoria flash del tipo NAND, o altri tipi di dispositivi di memoria che possono essere costruiti con tale schiera di memoria.



Sebbene siano state qui illustrate e descritte specifiche forme di realizzazione, si comprenderà da parte di coloro che sono esperti nel ramo che una tale disposizione che è calcolata per raggiungere lo stesso scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Numerose modifiche dell'invenzione saranno chiare a coloro con ordinaria esperienza nel ramo. Conseguentemente, questa domanda è intesa proteggere qualsiasi adattamento o variazioni dell'invenzione. E' manifestamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazioni e loro equivalenti.

*Gilberto Tonon*  
(per. Albo n. 83 BAA)



**RM 2003 A 000338**

RIVENDICAZIONI

1. Circuito di generazione e regolazione di alta tensione, avente una molteplicità di fasi operative, per l'impiego in una operazione di cancellazione di dispositivo di memoria, il circuito comprendendo:

una pompa di alta tensione positiva che genera un segnale di alta tensione positiva per l'impiego nel funzionamento di cancellazione del dispositivo di memoria;

una pompa di alta tensione negativa che genera un segnale di alta tensione negativa per l'impiego nell'operazione di cancellazione del dispositivo di memoria; e

un generatore di tensione ausiliaria che genera una tensione ausiliaria ed un segnale di controllo per controllare il tasso di scarica del segnale di alta tensione negativa.

2. Circuito della rivendicazione 1 e ulteriormente comprendente:

un primo percorso di scarica accoppiato alla pompa di tensione elevata positiva e al generatore di tensione ausiliaria, il segnale di controllo controllando il tasso di scarica del segnale di alta tensione positiva attraverso il primo percorso

di scarica; e

un secondo percorso di scarica accoppiato alla pompa di alta tensione negativa e al generatore di tensione ausiliaria, e il secondo percorso pre-scaricando il segnale di alta tensione negativa in risposta alla tensione ausiliaria.

3. Circuito della rivendicazione 1, in cui la molteplicità di fasi operative include uno stato di disinserzione, uno stato a rampa, uno stato ad impulso, una fase a scarica lenta ed una fase a scarica veloce.

4. Circuito della rivendicazione 3, in cui il segnale di alta tensione negativa pilota la tensione ausiliaria durante le fasi di rampa e di impulso e la tensione ausiliaria scarica il segnale di alta tensione negativa durante almeno una fase di scarica.

5. Circuito della rivendicazione 1 e ulteriormente comprendente un segnale di abilitazione, accoppiato al generatore di tensione ausiliaria, che almeno in parte abilita/disabilita il generatore di tensione ausiliaria.

6. Circuito della rivendicazione 1 e ulteriormente comprendente uno spostatore di livello attivo accoppiato alla pompa di alta

tensione negativa che trasla un segnale di selezione di ingresso avente un intervallo di tensione di 0 V fino a  $V_{CC}$  ad un segnale di alta tensione avente una tensione nell'intervallo del segnale di alta tensione negativa come minimo fino a  $V_{CC}$  come massimo.

7. Circuito della rivendicazione 6, in cui la tensione ausiliaria è immessa nello spostatore di livello negativo per ridurre la sollecitazione drain-sorgente del transistor nello spostatore di livello.

8. Circuito di generazione e regolazione di alta tensione, avente una molteplicità di fasi operative, per l'impiego in una operazione di cancellazione di dispositivo di memoria, il circuito comprendendo:

una pompa di alta tensione positiva che genera un segnale di alta tensione positiva per l'impiego nella operazione di cancellazione di dispositivo di memoria;

una pompa di alta tensione negativa che genera un segnale di alta tensione negativa per l'impiego nella operazione di cancellazione del dispositivo di memoria;

un primo percorso di scarica accoppiato alla



pompa di alta tensione positiva,

un secondo percorso di scarica accoppiato alla pompa di alta tensione negativa; e

un generatore di tensione ausiliaria che genera, in risposta ad un segnale di abilitazione una tensione ausiliaria ed un segnale di controllo di scarica veloce per controllare la rapidità di scarica del segnale di alta tensione positiva attraverso il primo percorso di scarica.

9. Circuito della rivendicazione 8 e ulteriormente comprendente un blocco di controllo in DC, accoppiato tra il generatore di tensione ausiliaria ed il primo percorso di scarica, per selezionare la rapidità di scarica in risposta al segnale di abilitazione e al segnale di controllo di scarica rapida.

10. Circuito della rivendicazione 8 e ulteriormente comprendente:

un commutatore, accoppiato ad una pompa di alta tensione negativa, per controllare la uscita del segnale di alta tensione negativa in risposta ad un segnale di selezione generato di indirizzo; e

un commutatore di selezione di selettore di memoria accoppiato alla pompa di alta tensione positiva, per controllare a quale settore di



memoria del dispositivo di memoria viene accoppiato il segnale ad alta tensione positiva in risposta al segnale di selezione.

11. Circuito della rivendicazione 8 e ulteriormente comprendente:

un primo blocco di controllo on/off accoppiato alla pompa di alta tensione positiva per aumentare il livello di tensione del segnale di alta tensione positiva in risposta ad una differenza tra un segnale di alta tensione positiva di riferimento ed il segnale di alta tensione positiva; e

un secondo blocco di controllo on/off accoppiato alla pompa ad alta tensione negativa per aumentare il livello di tensione del segnale di alta tensione negativa in risposta ad una differenza tra un segnale di alta tensione negativa di riferimento e il segnale di alta tensione negativa.

12. Circuito di generazione e regolazione di alta tensione, avente una molteplicità di fasi operative, per l'impiego in una operazione di cancellazione di dispositivo di memoria, il circuito comprendendo:

una pompa di alta tensione positiva che genera un segnale di alta tensione positiva per l'impiego

in una operazione di cancellazione di dispositivo di memoria;

una pompa di alta tensione negativa che genera un segnale di alta tensione negativa per l'impiego nella operazione di cancellazione del dispositivo di memoria;

un primo percorso di scarica accoppiato alla pompa ad alta tensione positiva;

un secondo percorso di scarica accoppiato alla pompa ad alta tensione negativa;

un generatore di tensione ausiliaria che genera, in risposta ad un segnale di abilitazione, una tensione ausiliaria ed un segnale di controllo di scarica rapida; e

un circuito di controllo di tasso di scarica, accoppiato tra il generatore di tensione ausiliaria ed il primo percorso di scarica, per selezionare, in risposta al segnale di abilitazione e al segnale di controllo di scarica veloce, un tasso di scarica veloce o un tasso di scarica lenta del segnale di alta tensione positiva attraverso il primo percorso di scarica.

13 Circuito della rivendicazione 12 e ulteriormente comprendente:

uno spostatore di livello negativo accoppiato

ad un segnale di selezione generato da indirizzo di memoria, il segnale di alta tensione negativa, e la tensione ausiliaria per ridurre le sollecitazioni di drain-sorgente del transistor, lo spostatore di livello negativo ponendo in uscita il segnale di alta tensione negativa in risposta al segnale di selezione; e

un commutatore NMOS isolato, accoppiato alla pompa ad alta tensione negativa e lo spostatore di livello negativo, per disabilitare l'uscita del segnale di alta tensione negativa al dispositivo di memoria in risposta al segnale di alta tensione negativa dallo spostatore di livello negativo.

14. Circuito della rivendicazione 13 ed ulteriormente includente un selettore di settore, accoppiato al segnale di alta tensione positiva, per controllare l'uscita del segnale di alta tensione positiva verso celle di memoria del dispositivo di memoria in risposta al segnale di selezione.

15. Sistema elettronico comprendente: un elaboratore che genera segnali di controllo di memoria: e

un dispositivo di memoria, accoppiato all'elaboratore, per memorizzare e cancellare dati



in risposta a segnali di controllo di memoria, il dispositivo di memoria comprendendo celle di memoria per memorizzare i dati ed un circuito di generazione e regolazione di alta tensione, avente una molteplicità di fasi operative, per l'impiego in una operazione di cancellazione, il circuito comprendendo:

una pompa di alta tensione positiva che genera un segnale di alta tensione positiva per l'impiego nella operazione di cancellazione;

una pompa di alta tensione negativa che genera un segnale di alta tensione negativa per l'impiego nella operazione di cancellazione; e

un generatore di tensione ausiliaria che genera una tensione ausiliaria ed un segnale di controllo per controllare il tasso di scarica del segnale ad alta tensione positiva.

16. Sistema elettronico della rivendicazione 15 in cui il dispositivo di memoria è una memoria flash di tipo NAND.

17. Sistema elettronico della rivendicazione 154, in cui il dispositivo di memoria è una memoria flash di tipo NOR.

18. Generatore di tensione per generare una tensione ausiliaria per l'impiego in un circuito di

generazione e regolazione di alta tensione avente una pompa di alta tensione negativa che genera un'alta tensione negativa, una pompa di alta tensione positiva che genera una alta tensione positiva, un segnale di abilitazione che abilita la generazione delle tensioni elevate positiva e negativa, ed una molteplicità di percorsi di scarica, ciascuno accoppiato ad una diversa pompa di generazione, i percorsi di scarica presentando una fase di scarica veloce o lenta, il generatore di tensione comprendendo:

- una logica di controllo di uscita che controlla l'uscita del segnale di controllo di tasso di scarica;

- una molteplicità di transistori NMOS accoppiati assieme in serie a guisa di diodi,

- una estremità della molteplicità di transistori NMOS accoppiati a e scaricando il livello di tensione negativa quando la molteplicità di transistori NMOS sono attivati;

- un transistore di abilitazione di bassa tensione, accoppiato al segnale di abilitazione, per abilitare il generatore di tensione in risposta al segnale di abilitazione;

- un primo transistore di isolamento di alta

tensione, accoppiato tra il transistorore di abilitazione di bassa tensione e la molteplicità di transistori NMOS, un nodo formato alla giunzione del primo transistorore di isolamento di alta tensione e una estremità rimanente della molteplicità dei transistori NMOS avente una tensione che aumenta in risposta al fatto che viene attivato il transistorore di abilitazione di bassa tensione;

un primo transistorore di abilitazione di alta tensione accoppiato tra  $V_{cc}$  ed il nodo, una porta di controllo del primo transistorore di abilitazione di alta tensione accoppiata ad una uscita della logica di controllo di uscita, il primo transistorore di abilitazione di alta tensione essendo attivato in risposta al segnale di controllo di rapidità di scarica;

un secondo transistorore di isolamento di alta tensione accoppiato tra il nodo e la logica di controllo di uscita, una porta di controllo del secondo transistorore di isolamento di alta tensione accoppiato tra due della molteplicità di transistori NMOS; e

un secondo transistorore di abilitazione di altra tensione accoppiato da  $V_{cc}$  e la uscita di

tensione ausiliaria, una porta di controllo del secondo transistor di abilitazione di alta tensione accoppiata all'uscita della logica di controllo di uscita, il secondo transistor di abilitazione di alta tensione essendo attivato in risposta al segnale di controllo di rapidità di scarica e generando la tensione ausiliaria.

19. Generatore di tensione della rivendicazione 18, in cui la logica di controllo in uscita comprende:

un invertitore per alta tensione avente un ingresso accoppiato al primo transistor di isolamento di alta tensione;

un primo invertitore a bassa tensione accoppiato ad una uscita dell'invertitore ad alta tensione;

una porta NAND avente un primo ingresso accoppiato all'invertitore a bassa tensione ed un secondo ingresso accoppiato al segnale di abilitazione; e

un secondo invertitore accoppiato ad una uscita della porta NAND.

20. Metodo per generare tensioni di cancellazione per un dispositivo di memoria, il metodo comprendendo:



generare un segnale di alta tensione positiva in risposta ad un segnale di abilitazione;

generare un segnale di alta tensione negativa in risposta al segnale di abilitazione;

generare un segnale di tensione ausiliaria ed un segnale di controllo di scarica veloce in risposta al segnale di abilitazione;

scaricare il segnale di tensione elevata positiva ad un tasso di scarica lenta in risposta ad uno stato di segnale di controllo di scarica veloce; e

scaricare il segnale di alta tensione positiva ad un tasso di scarica rapida in risposta allo stato del segnale di controllo di scarica rapida.

21. Metodo della rivendicazione 19 e ulteriormente comprendente l'applicare il segnale di tensione ausiliaria ad un circuito spostatore di livello negativo per ridurre la sollecitazione drain-sorgente su transistori che sono interdetti.

22. Metodo della rivendicazione 10 ed ulteriormente comprendente l'applicare il segnale di alta tensione positiva e il segnale di alta tensione negativa ad una molteplicità di celle di memoria del dispositivo di memoria.

23. Dispositivo di memoria comprendente:



celle di memoria per memorizzare i dati; e  
un circuito di generazione e regolazione di  
alta tensione, avente una molteplicità di fasi  
operative, per l'impiego in una operazione di  
cancellazione delle celle di memoria, il circuito  
comprendendo:

una pompa di alta tensione positiva che genera  
un segnale di alta tensione positiva per l'impiego  
nella operazione di cancellazione:

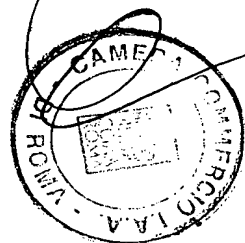
una pompa di alta tensione negativa che genera  
un segnale di alta tensione negativa per l'impiego  
nella operazione di cancellazione; e

un generatore di tensione ausiliaria che  
genera una tensione ausiliaria ed un segnale di  
controllo per controllare una rapidità di scarica  
del segnale ad alta tensione positiva.

24. Dispositivo di memoria della rivendicazione 23  
in cui il circuito di generazione e regolazione di  
alta tensione comprende inoltre un circuito  
spostatore di livello negativo, accoppiato alla  
tensione ausiliaria, in modo che la tensione  
ausiliaria riduca la sollecitazione drain-sorgente  
di transistori nel circuito di spostamento di  
livello negativo che sono nello stato interdetti.

p.p. Micron Technology, Inc.

Office of the  
Secr. of the  
U.S. Patent and  
Trademark Office



S.I.B.  
ROMA

RM 2003 A 000338

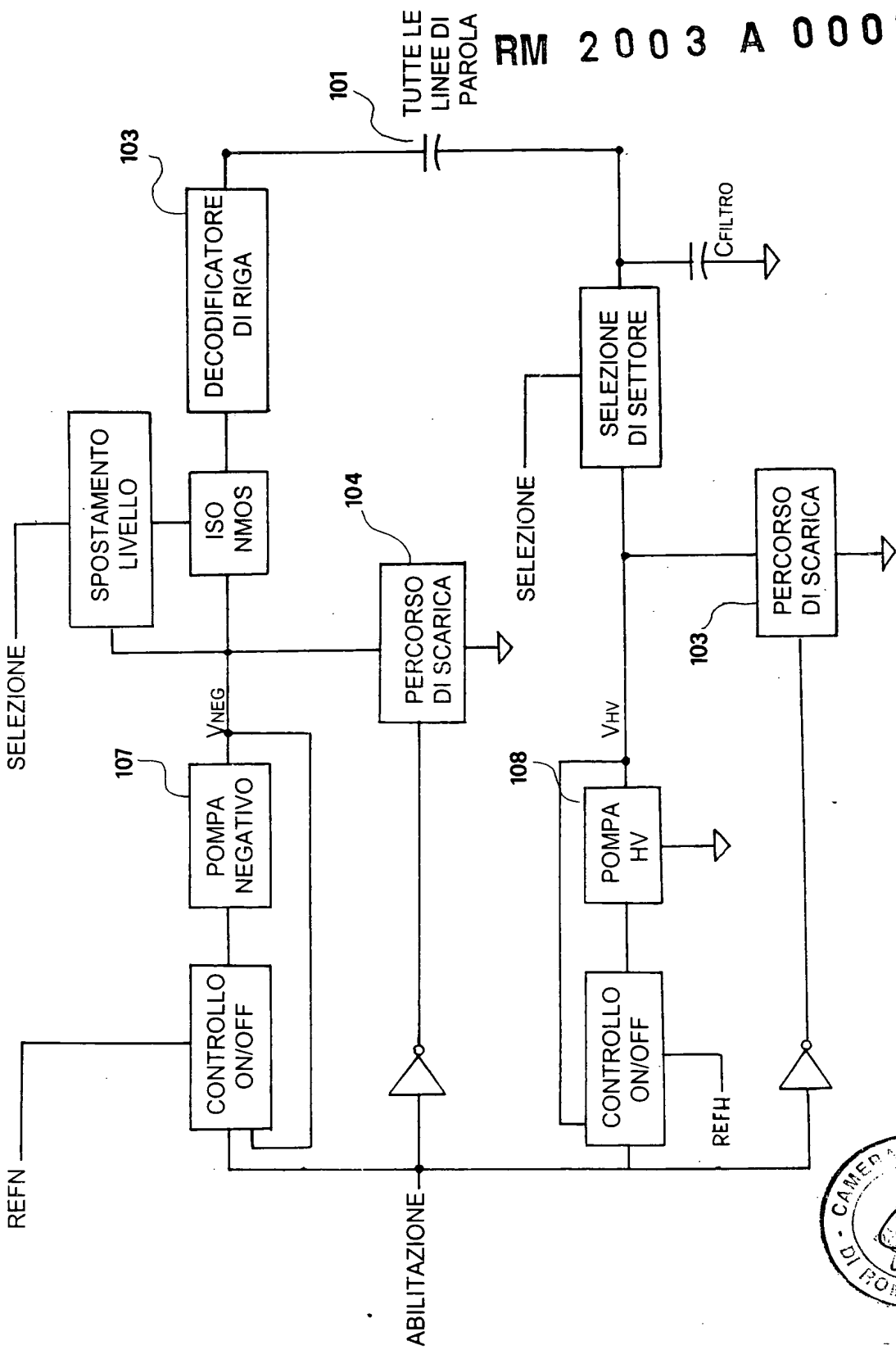


FIG.1  
TECNICA ANTERIORE

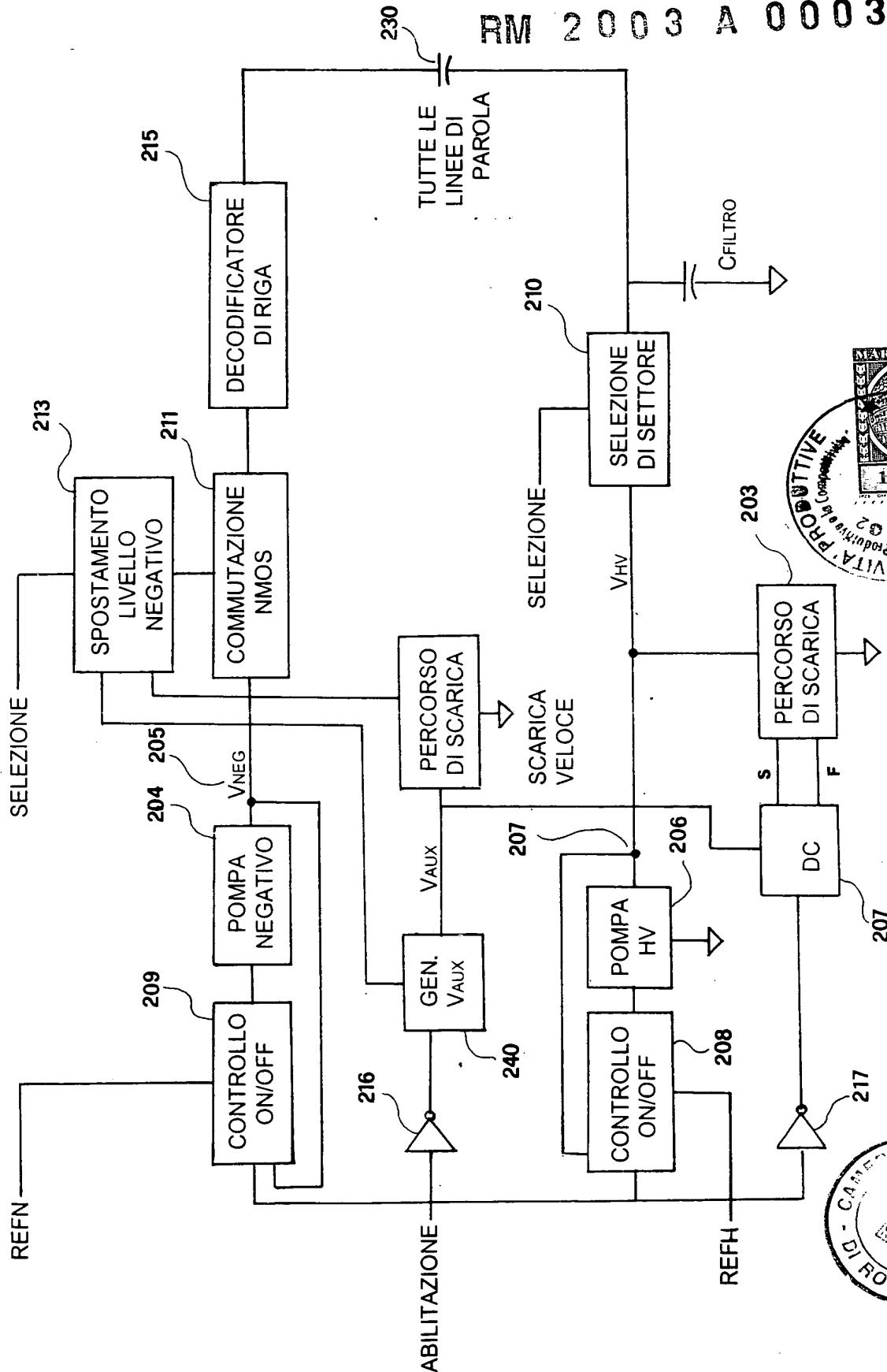
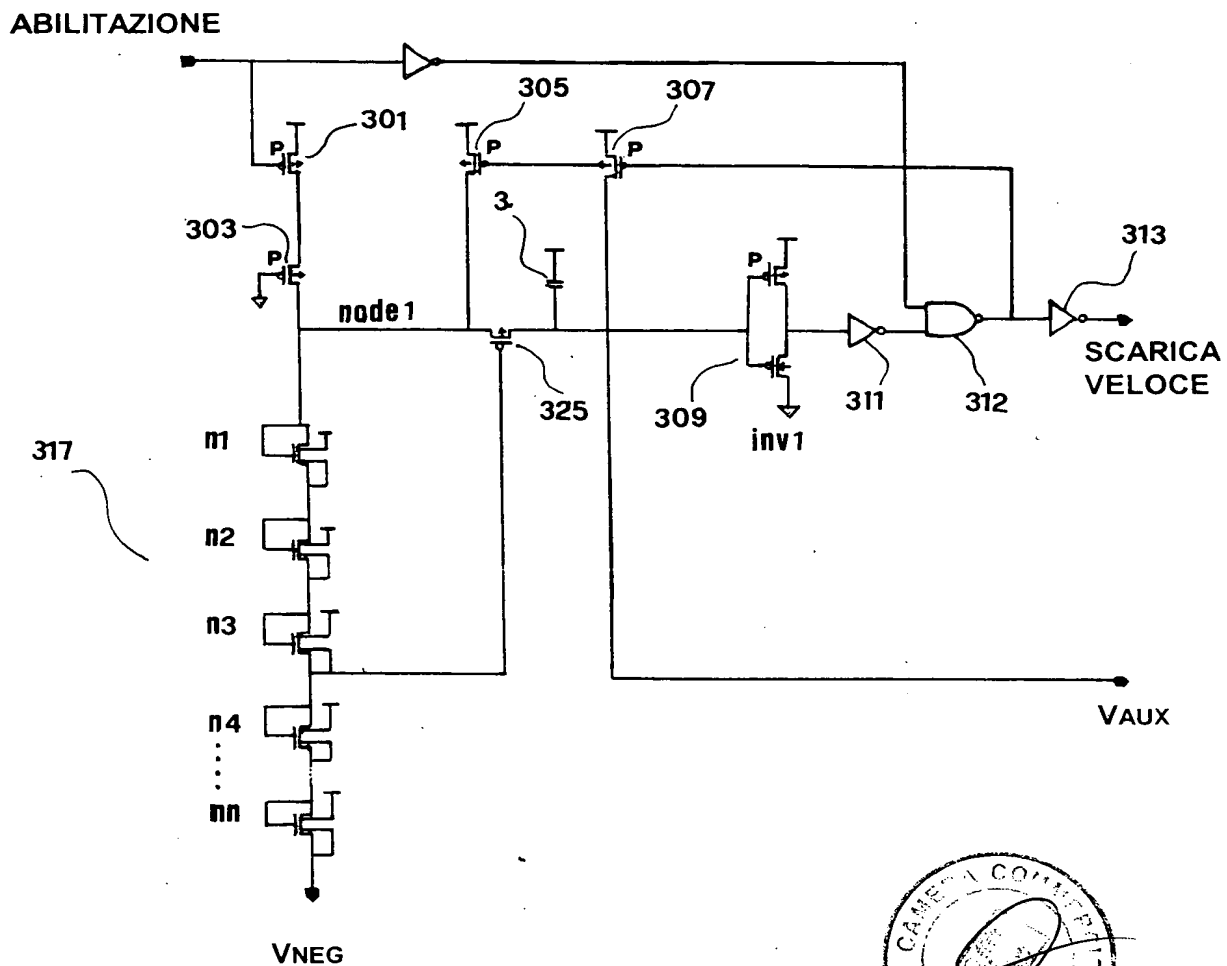


FIG. 2

RM 2003 A 000338



240

FIG.3



Gilberto Tonon  
 (iscr. Albo n. 93 2AA)

RM 2003 A 000338

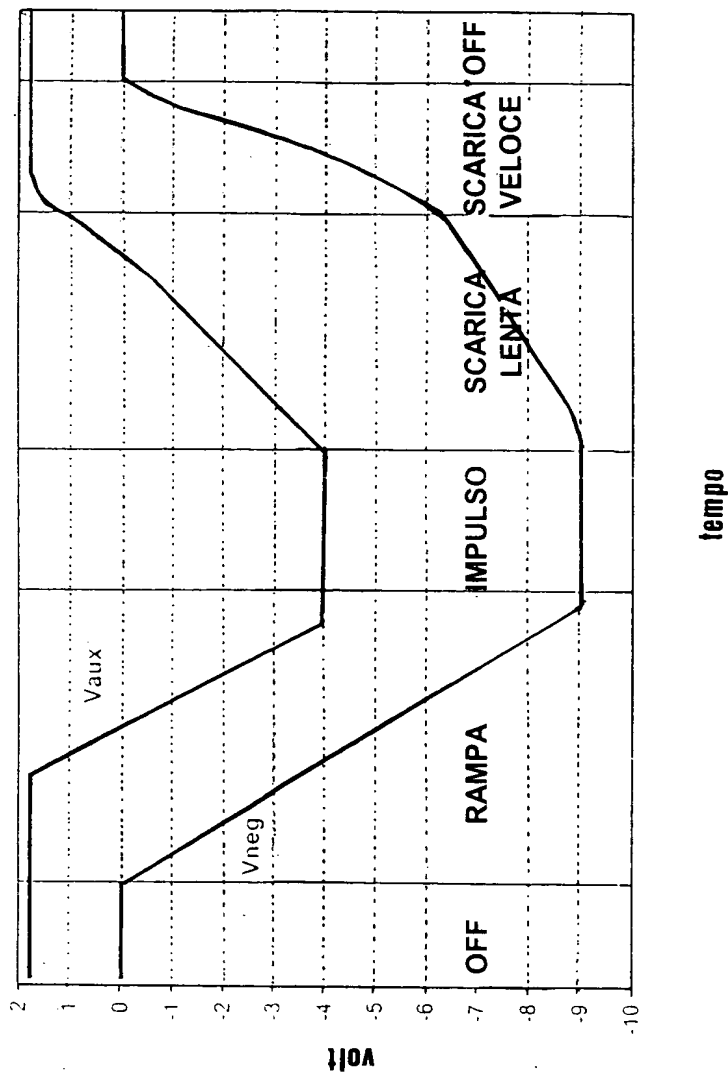


FIG.4

Gilberto Tonon  
(scr. Albo n. 83 BM)

*[Handwritten signature]*

RM 2003 A 000338

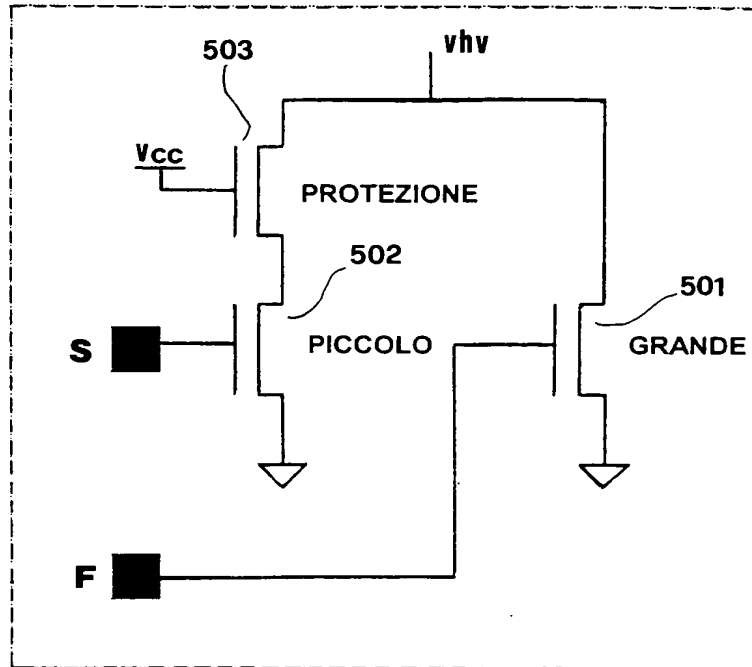


FIG.5

TABELLA LOGICA  
BLOCCO DC

ABILITA	SCARICA VELOCE		S	F
0	0		1	0
0	1		1	1
1	0		0	0
1	1		0	0

FIG.7

*[Handwritten signature]*

RM 2003 A 000338

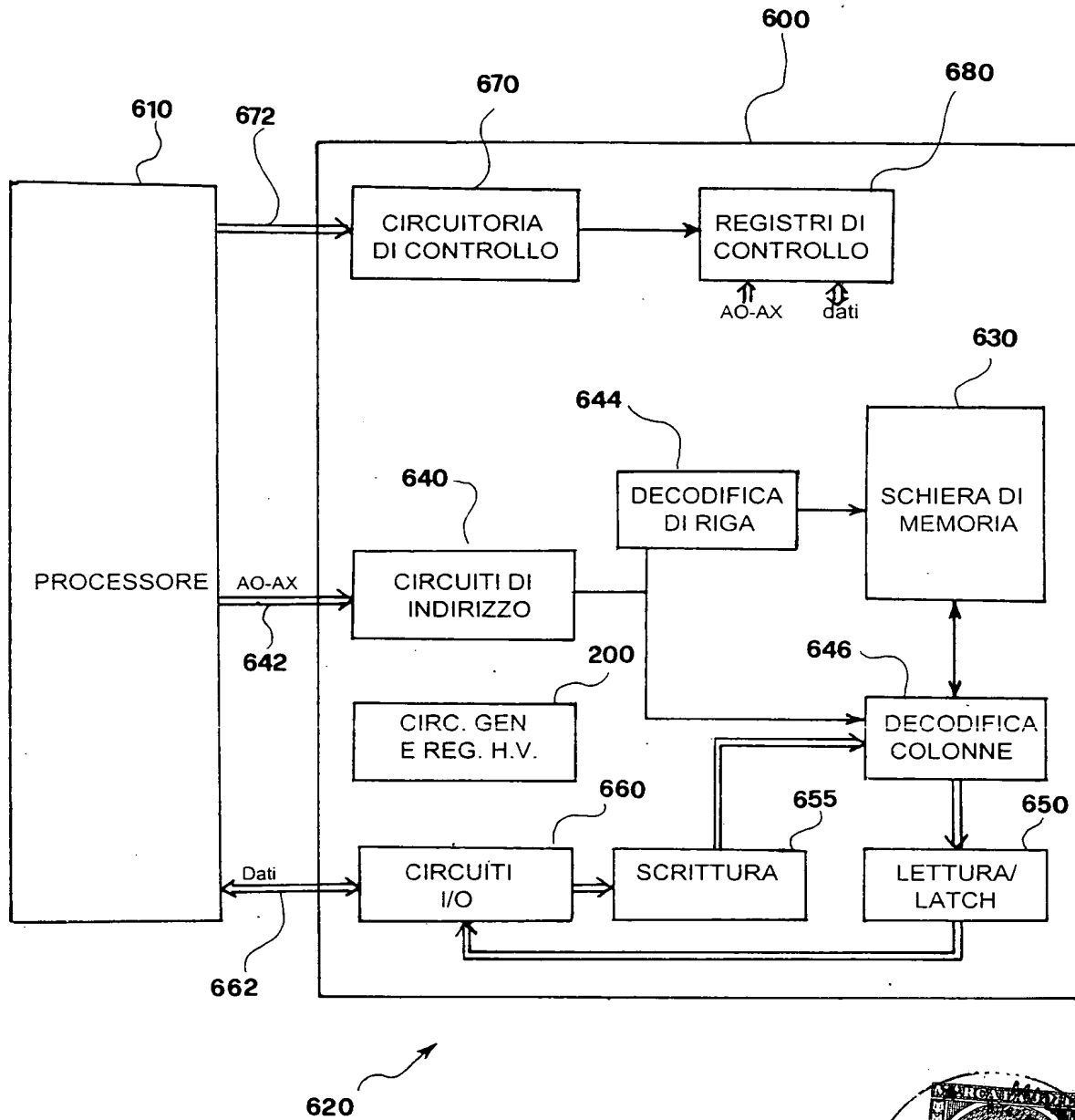


FIG.6



Gilberto Tonon  
(iscr. Albo n. 83 BM)

